

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2001184208 A**

(43) Date of publication of application: **06.07.01**

(51) Int. Cl.

G06F 9/30
G06F 1/04

(21) Application number: **11369484**

(22) Date of filing: **27.12.99**

(71) Applicant: **MATSUSHITA ELECTRIC IND CO LTD**

(72) Inventor: **MOROHASHI TAKAHARU**
SASAGAWA YUKIHIRO

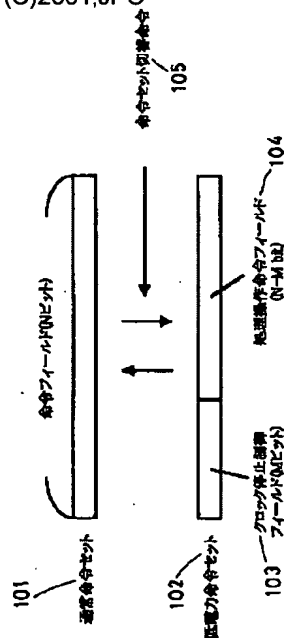
(54) **LOW POWER MICROPROCESSOR AND PROGRAM POWER REDUCING METHOD**

COPYRIGHT: (C)2001,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a low power microprocessor and a program power reducing method capable of being executed without deteriorating the processing efficiency and realizing a low power consumption.

SOLUTION: This microprocessor is provided with a normal instruction set 101 constituted of plural instruction codes constituted of fields in which information for designating processing operations is stored and a low power construction set 102 constituted of plural instructions constituted of a field 104 in which information for designating the processing operations is stored and a clock stop control field 103 in which information for controlling clock stop to each functioning block inside a microprocessor is stored. In this case, the normal instruction set 101 and the low power instruction set 102 can be switched according to the switching instruction during the operation of the microprocessor.



【特許請求の範囲】

【請求項1】 処理操作を指定するための情報を格納するフィールドからなる複数の命令コードで構成される通常命令セットと、

処理操作を指定するための情報を格納するフィールドと、マイクロプロセッサ内部の各機能ブロックへのクロック停止を制御するための情報を格納するクロック停止制御フィールドとからなる複数の命令コードで構成される低電力命令セットとを備え、

マイクロプロセッサ動作中に前記通常命令セットと前記低電力命令セットを切替命令によって切り替えることができることを特徴とする低電力マイクロプロセッサ。

【請求項2】 通常命令セットと低電力命令セットを記憶する命令記憶装置と、

この命令記憶装置に記憶された前記通常命令セットの命令コードを解読し機能制御信号とクロック停止制御信号を生成する通常命令デコーダと、

前記命令記憶装置に記憶された前記低電力命令セットの処理操作を指定するための情報を格納する命令フィールドを解読し機能制御信号とクロック停止制御信号を生成する低電力命令デコーダと、

前記命令記憶装置に記憶された前記低電力命令セットのクロック動作及び停止を制御するための情報を格納する命令フィールドを解読しクロック停止制御信号を生成するクロック停止制御デコーダと、

前記通常命令デコーダか前記低電力命令デコーダと前記クロック停止制御デコーダかどちらかを動作させるための制御をするデコーダ切替装置と、

このデコーダ切替装置からの切り替え制御信号を受けて、前記通常命令デコーダからの機能制御信号と前記低電力命令デコーダからの機能制御信号のどちらかを選択する第1の選択回路と、

前記デコーダ切替装置からの切り替え制御信号を受けて、前記通常命令デコーダからのクロック停止制御信号と前記低電力命令デコーダからのクロック停止制御信号のどちらかを選択する第2の選択回路とを備えた低電力マイクロプロセッサ。

【請求項3】 クロック停止制御フィールドは、N命令先までのクロック停止制御情報をコード化する請求項1記載の低電力マイクロプロセッサ。

【請求項4】 請求項1記載の低電力マイクロプロセッサであって、

前記低電力マイクロプロセッサの各機能ブロックのクロック停止制御フィールドのコードの決定に際し、アセンブラプログラムで分岐を含むN命令先までの処理操作命令を考慮することを特徴とするプログラム低電力化方法。

【請求項5】 各機能ブロックのクロック停止制御フィールドのコードは、クロック停止制御による消費電力削減効果を示す消費電力削減コストが対応づけられ、

低電力マイクロプロセッサのアセンブラプログラムを作成する際、要求されるプログラムの命令ステップ数を条件に、プログラム全体での消費電力削減コストが最大になるよう、低電力命令セットのクロック停止制御フィールドと処理操作命令を選択する請求項4記載のプログラム低電力化方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、低電力マイクロプロセッサ（マイクロコンピュータ、マイクロコントローラ、ディジタル・シグナル・プロセッサを含む）、特に、内部の複数の機能ブロックのうち、動作に関与する機能ブロックのみへクロックを供給し、それ以外の機能ブロックへのクロックを停止することにより低消費電力を図る低電力マイクロプロセッサの改良に関する。

【0002】

【従来の技術】従来、低消費電力マイクロプロセッサとして、例えば特開平10-20959号公報に開示されるように、プロセッサの命令セットを構成する各命令コード内に、各機能ブロックへのクロック信号の供給と停止の情報を入れ、この情報を解読することにより、低消費電力化を可能にしたものが知られる。

【0003】

【発明が解決しようとする課題】しかしながら、上記従来の低消費電力マイクロプロセッサでは、プロセッサの命令セットを構成するすべての命令コードの一部のフィールドにクロック停止制御のための情報を格納するために、プロセッサの処理操作を行うためのフィールドのビット幅が減少し、その結果処理操作における命令コード効率を落とすことになる。あるいは、クロック停止制御のための情報フィールド分を既存命令コードに追加する場合には、ビット幅を増大させることとなり命令記憶装置の増大、回路規模の増大につながる。

【0004】さらに、クロック停止のための情報フィールドには、同じ命令コード内の処理操作命令における動作に関与しない部分へのクロック供給の停止制御情報が格納されている。このため、クロック停止制御は命令記憶装置から命令を読み出し、クロック停止情報フィールドを解読した後からしか、クロック停止制御を行うことができない。

【0005】また、プログラムの作成の際において、効率よくクロック停止制御をできず、場合によってはクロック停止制御を行うことができないような処理操作命令が多いプログラムを作成する場合がある。その結果、クロック制御情報を充分活用できず低電力化を図れない。

【0006】本発明は、上記従来の問題点を解決するもので、マイクロプロセッサの処理能力を重視している場合には処理効率を落とすことなく実行可能で、消費電力を削減を重視している場合には動作に関与しない部分へのクロック供給を停止することにより低消費電力化がで

き、さらには命令の読み出し、解読する前から、その処理操作命令において動作に関与しない部分の停止を行うことができる低電力マイクロプロセッサと、クロック停止制御情報を最適化できる上記低電力マイクロプロセッサのプログラム低電力化方法を提供する。

【0007】

【課題を解決するための手段】請求項1記載の低電力マイクロプロセッサは、処理操作を指定するための情報を格納するフィールドからなる複数の命令コードで構成される通常命令セットと、処理操作を指定するための情報を格納するフィールドと、マイクロプロセッサ内部の各機能ブロックへのクロック停止を制御するための情報を格納するクロック停止制御フィールドとからなる複数の命令コードで構成される低電力命令セットとを備え、マイクロプロセッサ動作中に通常命令セットと低電力命令セットを切替命令によって切り替えることができることを特徴とするものである。

【0008】請求項1記載の低電力マイクロプロセッサによれば、マイクロプロセッサの処理能力を重視する場合には通常命令セットを、消費電力削減を重視している場合には低電力命令セットとを動作中に切り替え命令で切り替えることにより、命令効率を落とすことなく消費電力の削減を可能にする。このように、通常命令と低電力命令を併用することによって、命令効率を落とすことなくマイクロプロセッサの低電力化を実現できる。

【0009】請求項2記載の低電力マイクロプロセッサは、通常命令セットと低電力命令セットを記憶する命令記憶装置と、この命令記憶装置に記憶された通常命令セットの命令コードを解読し機能制御信号とクロック停止制御信号を生成する通常命令デコーダと、命令記憶装置に記憶された低電力命令セットの処理操作を指定するための情報を格納する命令フィールドを解読し機能制御信号とクロック停止制御信号を生成する低電力命令デコーダと、命令記憶装置に記憶された低電力命令セットのクロック動作及び停止を制御するための情報を格納する命令フィールドを解読しクロック停止制御信号を生成するクロック停止制御デコーダと、通常命令デコーダか低電力命令デコーダとクロック停止制御デコーダかどちらかを動作させるための制御をするデコーダ切替装置と、このデコーダ切替装置からの切り替え制御信号を受けて、通常命令デコーダからの機能制御信号と低電力命令デコーダからの機能制御信号のどちらかを選択する第1の選択回路と、デコーダ切替装置からの切り替え制御信号を受けて、通常命令デコーダからのクロック停止制御信号と低電力命令デコーダからのクロック停止制御信号のどちらかを選択する第2の選択回路とを備えたものである。

【0010】請求項2記載の低電力マイクロプロセッサによれば、請求項1と同様な効果がある。

【0011】請求項3記載の低電力マイクロプロセッサは、請求項1において、クロック停止制御フィールド

が、N命令先までのクロック停止制御情報をコード化するものである。

【0012】請求項3記載の低電力マイクロプロセッサによれば、請求項1と同様な効果のほか、クロック制御フィールド部分は、例えばアセンブラプログラム作成時にN命令先までのマイクロプロセッサの動作ブロックを判断し、N命令先までのクロック停止制御情報をコード化することにより、命令記憶装置から命令を読み出し、解読する前に、命令の動作ブロックを予測し動作に関与しない機能ブロックへのクロック停止制御を行うことを実現できる。これにより、きめ細かなクロック停止制御を可能とし、さらなる低電力化を図ることができる。

【0013】請求項4記載のプログラム低電力化方法は、請求項1記載の低電力マイクロプロセッサのプログラム低電力化方法であって、低電力マイクロプロセッサの各機能ブロックのクロック停止制御フィールドのコードの決定に際し、アセンブラプログラムで分岐を含むN命令先までの処理操作命令を考慮することを特徴とするものである。

【0014】請求項4記載のプログラム低電力化方法によれば、請求項3と同様な効果がある。

【0015】請求項5記載のプログラム低電力化方法は、請求項4において、各機能ブロックのクロック停止制御フィールドのコードが、クロック停止制御による消費電力削減効果を示す消費電力削減コストが対応づけられ、低電力マイクロプロセッサのアセンブラプログラムを作成する際、要求されるプログラムの命令ステップ数を条件に、プログラム全体での消費電力削減コストが最大になるよう、低電力命令セットのクロック停止制御フィールドと処理操作命令を選択するものである。

【0016】請求項5記載のプログラム低電力化方法によれば、請求項4と同様な効果のほか、命令コード中のクロック停止制御情報とそのクロック停止制御による消費電力削減効果を、予め設計段階において消費電力削減コストとして対応づけを行い、例えばアセンブラプログラム作成時、プログラムに要求される命令ステップ数を条件に、クロック停止制御情報と対応づけられた消費電力削減コストをもとにプログラム全体の消費電力削減コストを計算し、プログラム全体の消費電力削減コストが最大となるように、クロック停止制御情報と処理操作命令コードとを最適化することにより、プログラムに最適な低電力化プログラム作成を実現できる。

【0017】

【発明の実施の形態】本発明の第1の実施の形態について図1を参照しながら具体的に説明する。図1は本発明の請求項1に対応する第1の実施の形態の低電力マイクロプロセッサにおける、命令セットを構成する命令コードを示す。

【0018】図1において、通常命令セット101は処理操作を指定するための情報を格納する命令フィールド

(Nビット)から構成される通常命令である。低電力命令セット102はマイクロプロセッサ内部の各機能ブロックへのクロック動作及び停止を制御するための情報を格納するクロック停止制御フィールド103(Mビット)と処理操作を指定するための情報を格納する処理操作命令フィールド104(N-Mビット)から構成される低電力命令である。通常命令セット101と低電力命令セット102は命令セット切替命令105が発行されることにより、マイクロプロセッサ動作中に使用する二つの命令セットを切り替えることができる。

【0019】以上により、マイクロプロセッサの処理能力を重視する場合には通常命令セットで命令をコード化し、消費電力削減を重視している場合には低電力命令セットで命令をコード化し、両命令セットを動作中に切替命令で切り替えることにより、命令効率を落とすことなく消費電力の削減を可能にする。

【0020】なお、クロック制御フィールド103は、低電力命令セット102内部の任意のビット幅を備えることが可能であり、例えば、より細かなクロック制御を行う場合には、多数のビットをクロック制御フィールドに割り当てることができる。さらに、図1では、クロック制御フィールド103の位置が低電力命令セット102の先頭である場合を示しているが、クロック制御フィールド103はビット位置を任意に設定可能であり、命令デコーダ(後述)の設計に自由度を持たすことが可能である。

【0021】また、命令セット切替命令105は通常命令と低電力命令との切り替え指定だけではなく、他の処理操作の情報を一緒に含んでもかまわない。

【0022】次に本発明の請求項2に対応する第2の実施の形態の低電力マイクロプロセッサにおける命令デコード部と制御信号生成の構成について図2および図3を参照しながら具体的に説明する。

【0023】図2において、命令記憶装置201は通常命令セット101と低電力命令セット102と命令セット切替命令105とが格納されており、命令記憶装置201はNビットの命令バスを介して通常命令デコーダ202と接続している。さらにNビットのバスは、途中で分岐し低電力命令セット102の処理操作命令フィールド104に相当する下位N-Mビットが低電力命令デコーダ203に接続し、クロック停止制御フィールド103に相当する上位Mビットはクロック停止制御デコーダ204に接続している。

【0024】デコーダ切替装置205は、切替命令105によって通常命令デコーダ202を使用するか、低電力命令デコーダ203とクロック停止制御デコーダ204を使用するかの状態を保持し選択制御信号を出力する。デコーダ切替装置205の状態は、命令デコーダ202、203から出力される命令セット切替命令105をデコードした切替制御信号によって状態遷移する。

【0025】通常命令デコーダ202はデコーダ切替装置205によって通常命令が指定されている場合、命令記憶装置201から出力される通常命令をデコードし、機能制御信号とクロック停止制御信号を生成する。低電力命令デコーダ203とクロック停止制御デコーダ204はデコーダ切替装置205によって低電力命令が指定されている場合、命令記憶装置201から出力される低電力命令を処理操作フィールドとクロック停止制御フィールドとに分けてデコードし、低電力命令デコーダ203は機能制御信号とクロック停止制御信号を生成し、クロック停止制御デコーダ204はクロック停止制御信号を生成する。

【0026】信号選択器A206、信号選択器B207は、デコーダ切替装置205からの切り替え制御のための選択制御信号に応じて、通常命令デコーダ202からの制御信号か低電力命令デコーダ203からの制御信号かを選択し、マイクロプロセッサ内部の機能ブロックへの制御信号、クロック停止制御信号を出力する。

【0027】図3に通常命令と低電力命令とを使用したプログラム例を示す。本実施の形態では、はじめ通常命令セットにより記述されたプログラム301が実行され、そのプログラム内で低電力命令セットにより記述されたサブルーチン302が呼び出されること想定している。

【0028】通常命令セットから低電力命令セットへの切り替えは、切替命令A303により行われるが、この命令にはサブルーチンコールの処理操作機能も含まれている。また、低電力命令セットから通常命令セットへの切替は、切替命令B304によって行われるが、この命令にはサブルーチンから復帰する処理操作機能も含まれている。

【0029】図3のプログラム301、302、303、304は命令記憶装置201に格納されており、はじめ通常命令セットで記述されたプログラム301が命令記憶装置201から順次出力されると想定する。このときデコーダ切替装置205は通常命令選択状態であり、通常命令デコーダ202を動作させるように制御し、低電力デコーダ203とクロック停止制御デコーダ204は停止するように制御している。通常命令デコーダ202は命令記憶装置201から出力される命令を順次デコードし、機能制御信号とクロック停止制御信号を生成している。生成された制御信号は信号選択器206、207で選択されマイクロプロセッサ内部の機能ブロックへ制御信号およびクロック停止制御信号を出力している。

【0030】次に、切替命令(サブルーチンコール機能を含む)303が命令記憶装置201から出力されデコードされると、低電力命令セットにより記述されたサブルーチン302が呼び出され、低電力命令セットにより記述されたプログラム302が命令記憶装置201から

出力される。同時に、デコーダ切替装置205の選択状態が遷移し、通常命令デコーダ202を停止し、低電力命令デコーダ203とクロック停止制御デコーダ204を動作させるように制御する。低電力命令デコーダ203とクロック停止制御デコーダ204は命令記憶装置201から出力される命令をデコードし、機能制御信号とクロック停止制御信号を生成している。生成された制御信号は信号選択器206、207で選択されマイクロプロセッサ内部の機能ブロックへ制御信号およびクロック停止制御信号を出力している。

【0031】さらに、切替命令（復帰機能を含む）304が命令記憶装置201から出力されデコードされると、通常命令コードで記述されたプログラム301に復帰し、はじめの通常命令と同等な動きを行う。

【0032】以上の構成によりマイクロプロセッサ動作中に、通常命令と低電力命令とを切替命令によって切り替えることができる。

【0033】次に本発明の請求項3に対応する第3の実施の形態の低電力マイクロプロセッサについて図4および図5を参照しながら具体的に説明する。

【0034】図4は低電力マイクロプロセッサにおける低電力命令401、402、403、404を実行順にならべた図である。低電力命令N401におけるクロック停止制御フィールド405のコードは、低電力命令401～404の処理操作フィールドで指定する処理内容で動作するあるいは停止可能な機能ブロックを考慮し、クロック停止制御コードを決定する。

【0035】図5にクロック停止制御フィールドの制御方法について、パイプライン制御のマイクロプロセッサを想定した例を示す。

【0036】なお、本実施の形態では、マイクロプロセッサのパイプライン制御のステージ段数を4段（命令フェッチ、デコード、メモリアクセス、実行）とした場合を想定している。

【0037】図5のパイプライン制御のタイミング図では、時系列に従った低電力命令の3つの命令コードN、N+1、N+2のパイプライン制御の動作を示しており、上は処理操作命令フィールドのパイプライン動作、下はクロック停止制御フィールドのパイプライン動作を示している。

【0038】いま、命令コードNに着目すると命令コードNのクロック停止制御フィールドをデコードすることにより、時刻T2以後の時刻のすべてのステージでの動作ブロックのクロック停止制御ができることがわかる。すなわち、命令コードNのメモリアクセスステージ（MEM）、実行ステージ（EX）における停止可能な機能ブロックのクロック停止、さらに、命令コードN+1のデコードステージ（DEC）、命令コードN+2の命令フェッチステージ（IF）、それぞれにおける停止可能な機能ブロックのクロック停止を制御することが可能と

なる。

【0039】低電力命令N401のクロック停止制御フィールド405に命令Nのメモリアクセスステージ（MEM）、実行ステージ（EX）でクロック停止可能な機能ブロックの制御情報と、命令N+1のデコードステージ（DEC）でクロック停止可能な機能ブロックの制御と命令N+2の命令フェッチステージ（IF）でクロック停止可能な機能ブロックの制御情報を格納させることにより、命令デコードをする前に、処理操作命令の機能ブロックの動作を停止することが可能となり、より一層の低電力化実現できる。

【0040】次に本発明の請求項4に対応する第4の実施の形態の低電力マイクロプロセッサのプログラム低電力化方法について図6を参照しながら具体的に説明する。

【0041】図6において、プログラム601、602は低電力命令セットにて記述されたアセンブラプログラム例である。プログラム602はプログラム601内の条件判定分岐命令603によって条件成立時分岐する先のアセンブラプログラムである。いま命令B604のクロック停止制御フィールド605のコード決定を行うにおいて、例えば、条件分岐命令603と命令C606の処理操作内容を考慮して決定するとする。しかし、次命令は条件判定分岐命令603であるため、条件によってはプログラム602へ分岐する可能性がある。そこで、分岐命令で分岐が生じない場合607と、分岐が生じる場合608それぞれの場合でのクロック停止制御コード609、610を求め、二つのクロック停止制御コード609、610の和論理をとることにより、停止制御フィールド605のコード決定を行う。

【0042】すなわち、アセンブラプログラムに記述された処理操作から、マクロプロセッサの動作状態をステータックに解析することにより、的確なクロック停止制御をクロック停止フィールドにコード化できる。

【0043】さらに本発明の請求項5に対応する第5の実施の形態の低電力マイクロプロセッサのプログラム低電力化方法について図7および図8を参照しながら具体的に説明する。

【0044】図7において、電力削減コストテーブル701は、予め設計段階において、クロック停止制御フィールドのコードと、クロック停止制御による機能ブロックの停止によって電力の削減効果を数値化した電力削減コストとの対応である。図7の例では、例えばコードA702の電力削減コストは20、コードB703の電力削減コストは50でコードA702よりコードB703の方が電力削減効果があることを示す。

【0045】図8に低電力プログラム最適化の方法を示す。本実施の形態では、図（a）に示すプログラム801はクロック停止制御フィールドが決定されていないプログラムであり、このプログラム801の処理操作命令

をスタティックに解析することにより、クロック停止制御フィールドをコード化したのが図(b)に示すプログラム802である。このコード化されたプログラム802を低電力コストテーブル701を参照しながら、許容できるプログラムステップ数を条件に、全体の消費電力削減コストを最大化するように最適化を行ったのが図(c)に示すプログラム803である。

【0046】プログラム802において低電力コストテーブル701から5命令分の消費電力削減コストを計算すると145(=20+50+10+50+15)になる。いま、処理操作命令Aと処理操作命令Bの順序を逆転し、さらに、処理操作命令Dと処理操作命令Eでの処理内容を処理操作命令F、処理操作命令G、処理操作命令Hの3つの命令によって処理されるように最適化したと想定する。この最適化により、クロック停止制御フィールドは変化し、6命令分の消費電力削減コストを計算すると120(=50+15+10+20+10+15)になる。結果、プログラム802からプログラム803への最適化によって、ステップ数が5から6へ増えたが消費電力コストを15削減可能であることがわかる。

【0047】上記の実施の形態のように、予め設計段階において、クロック停止制御フィールドのコードと、クロック停止制御による機能ブロックの停止によって電力の削減効果を数値化した電力削減コストとの対応表を作成し、プログラム作成時に参照しながら処理操作命令フィールドとクロック停止制御フィールドを電力削減コストを基に最適化することによって、的確なクロック停止と無駄のない処理操作による低電力化プログラムの作成が可能となる。

【0048】

【発明の効果】請求項1記載の低電力マイクロプロセッサによれば、マイクロプロセッサの処理能力を重視する場合には通常命令セットを、消費電力削減を重視している場合には低電力命令セットとを動作中に切り替え命令で切り替えることにより、命令効率を落とすことなく消費電力の削減を可能にする。このように、通常命令と低電力命令を併用することによって、命令効率を落とすことなくマイクロプロセッサの低電力化を実現できる。

【0049】請求項2記載の低電力マイクロプロセッサによれば、請求項1と同様な効果がある。

【0050】請求項3記載の低電力マイクロプロセッサによれば、請求項1と同様な効果のほか、クロック制御フィールド部分は、例えばアセンブラプログラム作成時にN命令先までのマイクロプロセッサの動作ブロックを判断し、N命令先までのクロック停止制御情報をコード化することにより、命令記憶装置から命令を読み出し、解読する前に、命令の動作ブロックを予測し動作に関与しない機能ブロックへのクロック停止制御を行うことを実現できる。これにより、きめ細かなクロック停止制御

を可能とし、さらなる低電力化を図ることができる。

【0051】請求項4記載のプログラム低電力化方法によれば、請求項3と同様な効果がある。

【0052】請求項5記載のプログラム低電力化方法によれば、請求項4と同様な効果のほか、命令コード中のクロック停止制御情報とそのクロック停止制御による消費電力削減効果を、予め設計段階において消費電力削減コストとして対応づけを行い、例えばアセンブラプログラム作成時、プログラムに要求される命令ステップ数を条件に、クロック停止制御情報と対応づけられた消費電力削減コストをもとにプログラム全体の消費電力削減コストを計算し、プログラム全体の消費電力削減コストが最大となるように、クロック停止制御情報と処理操作命令コードとを最適化することにより、プログラムに最適な低電力化プログラム作成を実現できる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態の低電力マイクロプロセッサの命令セットの構成図である。

【図2】本発明の第2の実施の形態の低電力マイクロプロセッサの構成図である。

【図3】第2の実施の形態の低電力マイクロプロセッサのプログラム実行例の説明図である。

【図4】本発明の第3の実施の形態のクロック停止制御フィールドのコード化の概念図である。

【図5】第3の実施の形態の低電力マイクロプロセッサのパイプライン動作図である。

【図6】本発明の第4の実施の形態のプログラム低電力化方法におけるクロック停止制御フィールドのコード化の決定方法の説明図である。

【図7】本発明の第5の実施の形態の電力削減コストテーブルの概念図である。

【図8】第5の実施の形態の低電力命令プログラムの最適化方法の説明図である。

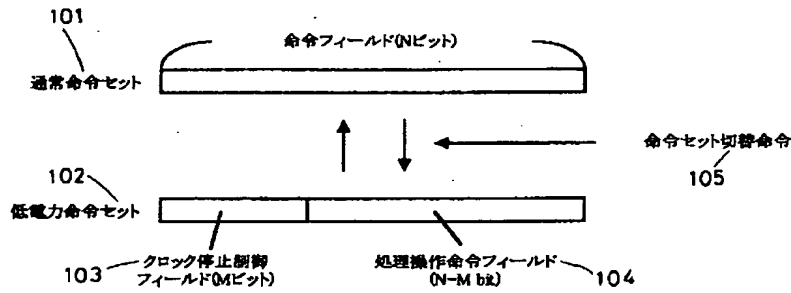
【符号の説明】

- | | |
|-----|------------------------|
| 101 | 通常命令セット |
| 102 | 低電力命令セット |
| 103 | クロック停止制御フィールド |
| 104 | 処理操作命令フィールド |
| 105 | 命令セット切替命令 |
| 201 | 命令記憶装置 |
| 202 | 通常命令デコーダ |
| 203 | 低電力命令デコーダ |
| 204 | クロック停止制御デコーダ |
| 205 | デコーダ切替装置 |
| 206 | 信号選択器A |
| 207 | 信号選択器B |
| 301 | 通常命令セットにより記述されたプログラム |
| 302 | 低電力命令セットにより記述されたサブルーチン |
| 303 | 切替命令A |

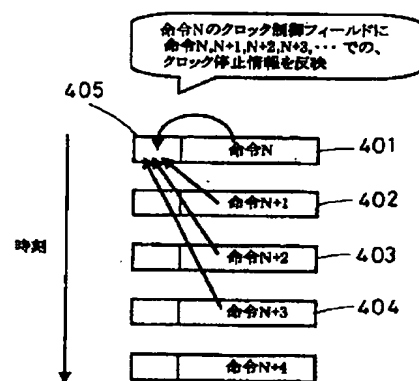
304 切替命令B
 401、402、403、404 低電力命令
 405 クロック制御停止フィールド
 601、602 プログラム
 603 条件判定分岐命令
 604 命令B
 605 クロック停止制御フィールド
 606 命令C

607 分岐が生じない場合
 608 分岐が生じる場合
 609、610 クロック停止制御コード
 701 電力削減コストテーブル
 702 コードA
 703 コードB
 801、802、803 プログラム

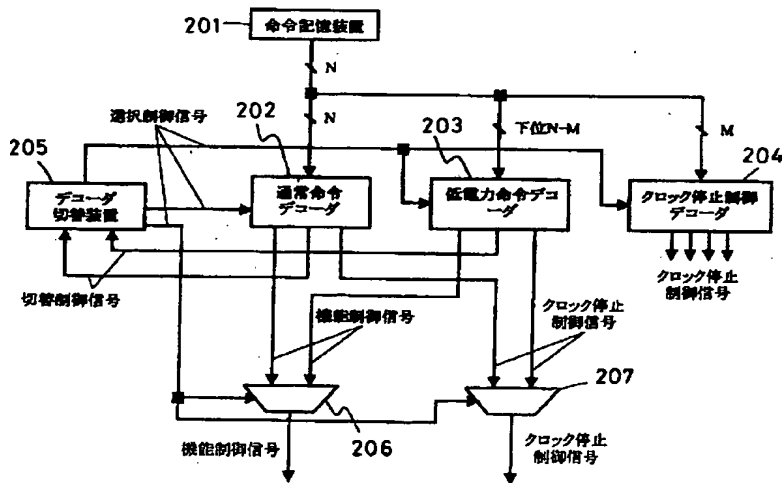
【図1】



【図4】



【図2】

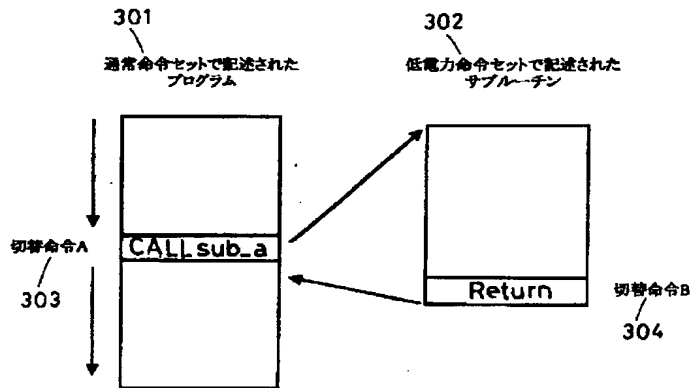


【図7】

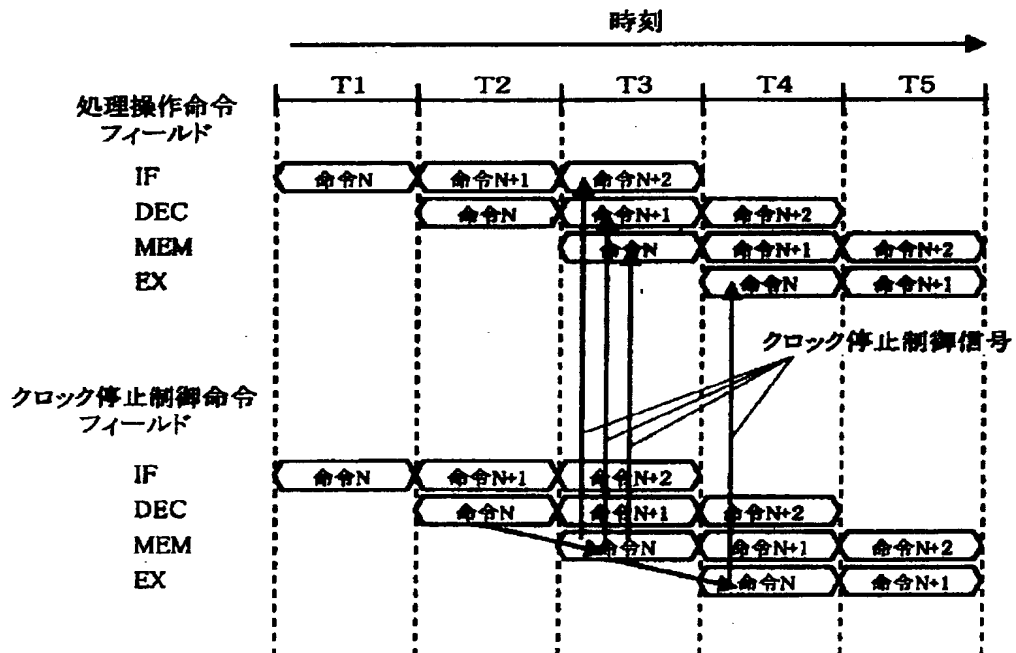
電力削減コストテーブル

クロック停止制御フィールドコード	電力削減コスト
コードA	20
コードB	60
コードC	10
コードD	15
.	.

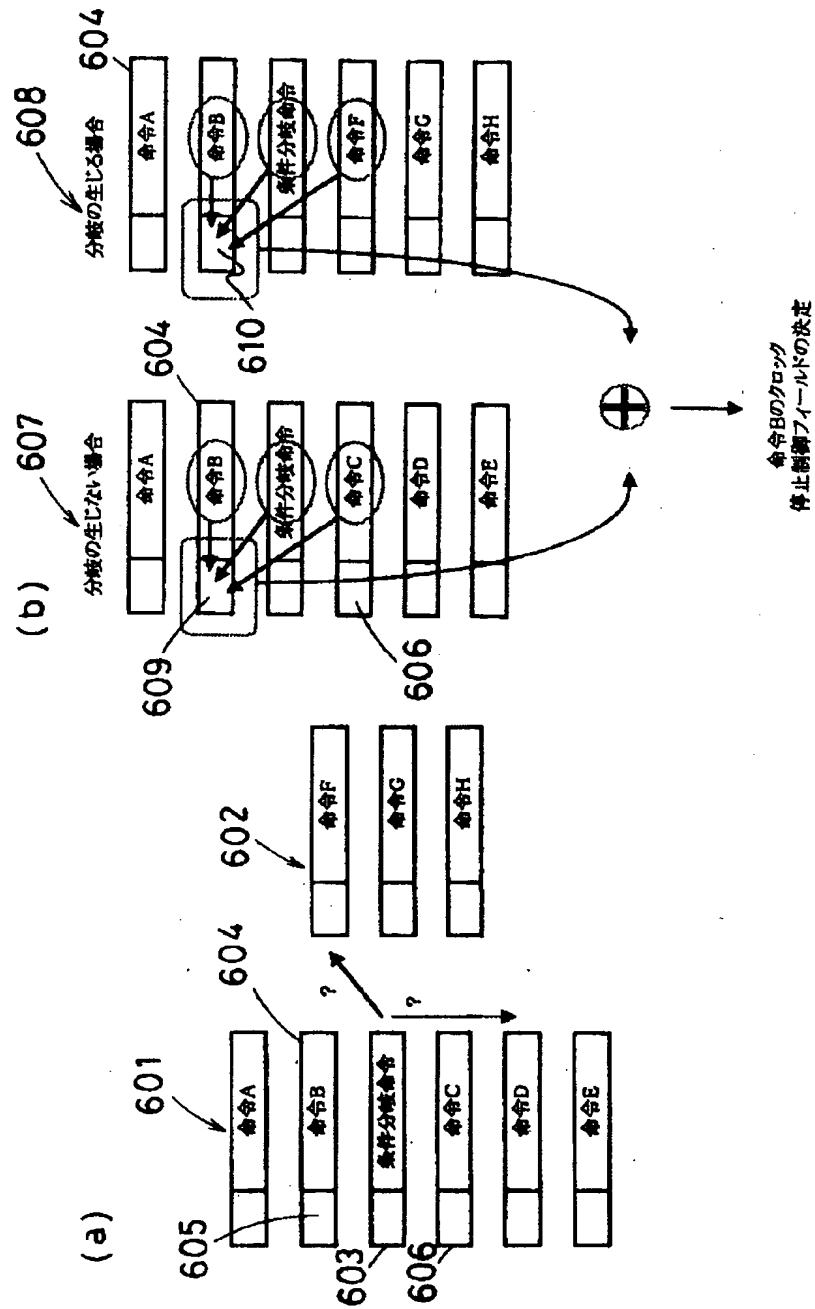
【図3】



【図5】



【図6】



【図8】

